

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-191598

(43)Date of publication of application : 13.07.1999

(51)Int.Cl.

H01L 23/00

(21)Application number : 09-359848

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 26.12.1997

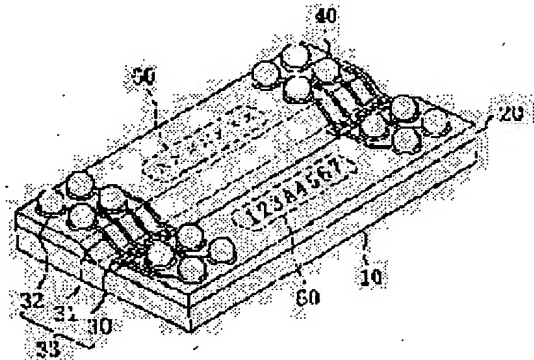
(72)Inventor : KUMAGAWA TAKAHIRO
SAWARA RYUICHI
SHIMOISHIZAKA NOZOMI
NAKAMURA YOSHIFUMI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To decrease the facilities and the number or processes, when markings are formed in a semiconductor device.

SOLUTION: In this device, on the main surface of a semiconductor chip 10, a low elastic molculus layer 20 having an opening part wherein a chip electrode is exposed, a wiring pattern 33 comprising a pad 30 connected to this chip electrode, a metal wiring 31 and a land 32 which is connected to the land 30 through the metal wiring 31, a wiring pattern 33 comprising the pad 30, the metal wiring 31 and the land 32, a metal ball formed on the land 32, and a marking 60 comprising a material identical with the wiring patter 33 are provided. Therefore, since the marking 60 can be formed on the main surface by the use of the arrangement and the processes for forming the wiring pattern 33, the facilities and the number of the processes can be decreased.



LEGAL STATUS

[Date of request for examination] 12.05.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3378880

[Date of registration] 06.12.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device characterized by having a semiconductor chip, the circuit pattern which is prepared on the principal plane of said semiconductor chip, and consists of a metal layer, and marking for being prepared on said principal plane, consisting of the same ingredient as said metal layer, and recognizing from the outside after completion.

[Claim 2] It is the semiconductor device characterized by being any one at least of the alignment marks for carrying out alignment of this semiconductor device to the attribute and circuit pattern number for which said semiconductor device should have said marking respectively in a semiconductor device according to claim 1, and the alignment mark to this semiconductor device.

[Claim 3] It is the semiconductor device

characterized by the component of said marking having the magnitude of 0.2mm or more respectively in a semiconductor device according to claim 1 or 2.

[Claim 4] The semiconductor device characterized by functioning in the semiconductor device of any one publication of claim 1-3 as an external electrode terminal for said some of circuit patterns outputting and inputting a signal to the exterior of said semiconductor device.

[Claim 5] The semiconductor device characterized by having a letter electrode of a projection further on said external electrode terminal in a semiconductor device according to claim 4.

[Claim 6] The semiconductor device characterized by having further the protective coat which is formed on said principal plane in a semiconductor device according to claim 4 or 5 as covers except the part which consists of said external electrode terminal and said marking, and consists of insulating matter.

[Claim 7] The semiconductor device characterized by having further the transparence resin layer which is formed on said principal plane in a semiconductor device according to claim 4 or 5 as covers except the part of said external electrode terminal, and consists of insulating matter.

[Claim 8] The semiconductor device characterized by having the configuration or magnitude in which a predetermined

external electrode terminal differs from other external electrode terminals among said external electrode terminals in a semiconductor device according to claim 4 or 5.

[Claim 9] The semiconductor device which is a semiconductor device of the shape of a wafer which has two or more chip fields on a principal plane, and is characterized by having marking for being prepared in said each chip field, having the magnitude of 0.2mm or more, and recognizing it as the circuit pattern which is prepared in said each chip field and consists of a metal layer from the outside after completion.

[Claim 10] It is the semiconductor device characterized by said marking consisting of the same ingredient as said metal layer in a semiconductor device according to claim 9.

[Claim 11] The manufacture approach of the semiconductor device characterized by having the process which forms the circuit pattern which consists of a metal layer on the principal plane which is the manufacture approach of a semiconductor device and said semiconductor device has, and the process which forms marking which consists of the same ingredient as said metal layer on said principal plane.

[Claim 12] The manufacture approach of the semiconductor device characterized by performing continuously the process which forms said circuit pattern, and the

process which forms said marking in the manufacture approach of a semiconductor device according to claim 11.

[Claim 13] The manufacture approach of the semiconductor device characterized by performing simultaneously the process which forms said circuit pattern, and the process which forms said marking in the manufacture approach of a semiconductor device according to claim 11.

[Claim 14] The manufacture approach of the semiconductor device characterized by forming the external electrode terminal for outputting and inputting a signal to the exterior of said semiconductor device in these some circuit patterns in the manufacture approach of a semiconductor device according to claim 11 at the process which forms said circuit pattern.

[Claim 15] The manufacture approach of the semiconductor device characterized by having further the process which forms the letter electrode of a projection on said external electrode terminal in the manufacture approach of a semiconductor device according to claim 14.

[Claim 16] The manufacture approach of the semiconductor device characterized by being the manufacture approach of a wafer-like semiconductor device of having two or more chip fields on a principal plane, and having the process which

forms the circuit pattern which consists of a metal layer on said each chip field, and the process which forms marking in said each chip field succeeding the process which forms said circuit pattern.

[Claim 17] The manufacture approach of the semiconductor device characterized by having the process which forms marking in said each chip field while it is the manufacture approach of a wafer-like semiconductor device of having two or more chip fields and the circuit pattern which consists of a metal layer on said each chip field was formed on the principal plane.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device which has marking, and its manufacture approach.

[0002]

[Description of the Prior Art] Marking is formed in this semiconductor device, in order to recognize a goods number, a lot number, etc. from the outside after a semiconductor device is completed. Conventionally, the semiconductor device which contains components, such as a transistor, was formed on the wafer, it divided into the semiconductor chip, and after forming a circuit pattern on the this

divided semiconductor chip, marking was formed using ink print processes or a laser radiation method.

[0003]

[Problem(s) to be Solved by the Invention] However, since according to the above-mentioned conventional marking the process only for marking of performing ink printing and laser radiation to each of a semiconductor device was needed after the semiconductor device was completed, there was a problem that manufacture manday increased. Moreover, since the facility only for marking like an ink printing machine or laser radiation equipment was needed, facility cost increased.

[0004] This invention aims at offering the semiconductor device with which marking was formed, and its manufacture approach in view of the above-mentioned conventional problem, without needing the process and equipment only for marking.

[0005]

[Means for Solving the Problem] In order to attain the above-mentioned object, in this invention, the means about the semiconductor device indicated by claims 1-10 and the means about the manufacture approach of the semiconductor device indicated by claims 11-17 are provided.

[0006] The 1st semiconductor device of this invention was formed on the

principal plane, became the circuit pattern which consists of a metal layer prepared on the principal plane which a semiconductor chip has from the same ingredient as this metal layer, and is equipped with marking for recognizing from the outside after completion as indicated by claim 1.

[0007] Since marking consists of same ingredients as a circuit pattern by this, even if it does not use facilities only for marking, such as an ink printing machine, the semiconductor device which has marking is obtained. Therefore, facility cost and manufacture manday are reducible.

[0008] In the semiconductor device of claim 1, marking can be further equipped with the configuration of the alignment marks for a semiconductor device to carry out alignment of this semiconductor device to the attribute and circuit pattern number which it should have respectively, and the alignment mark to this semiconductor device which is any one at least as indicated by claim 2.

[0009] Thereby, the display of the form according to a demand of a user etc. is attained.

[0010] In claim 1 or the semiconductor device of 2, the component of marking can be respectively made into the magnitude of 0.2mm or more as indicated by claim 3.

[0011] Thereby, marking can be easily recognized with the naked eye after completion.

[0012] In any one semiconductor device of claims 1-3, it can have further the configuration which functions as an external electrode terminal for some circuit patterns to output and input a signal to the exterior of a semiconductor device as indicated by claim 4.

[0013] Since it becomes unnecessary to form an external electrode terminal apart from a circuit pattern by this, the manufacture manday of a semiconductor device is further reducible.

[0014] In the semiconductor device of claim 4, it can have a letter electrode of a projection further on an external electrode terminal as indicated by claim 5.

[0015] A signal can be outputted [thereby,] and inputted much more certainly through the letter electrode of a projection between a semiconductor device and the exterior.

[0016] In claim 4 or the semiconductor device of 5, on a principal plane, as it covers except the part which consists of an external electrode terminal and marking, it is formed, and can have further the protective coat which consists of insulating matter as indicated by claim 6.

[0017] Since circuit patterns other than the part related to I/O of a signal with the exterior are protected by the protective coat on a principal plane and marking is recognized easily by this, a semiconductor device with high dependability and recognizing ability of marking is obtained.

[0018] In claim 4 or the semiconductor device of 5, on a principal plane, as it covers except the part of an external electrode terminal, it is formed, and can have further the transparence resin layer which consists of insulating matter as indicated by claim 7.

[0019] Since a part unrelated to I/O of a signal with the exterior is protected by the transparence resin layer on a principal plane by this and marking is easily recognized through this transparence resin layer, a semiconductor device with high dependability and recognizing ability of marking is obtained.

[0020] In claim 4 or the semiconductor device of 5, it can have the configuration or magnitude in which a predetermined external electrode terminal differs from other external electrode terminals among the external electrode terminals which consist of some circuit patterns as indicated by claim 8.

[0021] Since it becomes unnecessary to form independently marking for a predetermined external electrode terminal being recognized and expressing this predetermined external electrode terminal by this, the manufacture manday of a semiconductor device is further reducible.

[0022] The 2nd semiconductor device of this invention is a semiconductor device of the shape of a wafer which has two or more chip fields on a principal plane, it was formed in the circuit pattern which is

prepared in each chip field and consists of a metal layer, and each chip field, had the magnitude of 0.2mm or more, and is equipped with marking for recognizing from the outside after completion as indicated by claim 9.

[0023] Since marking already discriminable with the naked eye for each chip is formed in the semiconductor device of the shape of a wafer before being divided into a chip by this, a cheap semiconductor device can be obtained by the cutback of manufacture manday.

[0024] In the semiconductor device of claim 9, the same ingredient as a metal layer can constitute marking as indicated by claim 10.

[0025] Thereby, since marking consists of same ingredients as a circuit pattern in the semiconductor device of the shape of a wafer before being divided into a chip, even if it does not use facilities only for marking, such as an ink printing machine, the semiconductor device which consists of a chip which has marking respectively is obtained. Therefore, in manufacture of a semiconductor device, a cheap semiconductor device can be obtained by cutback with facility cost and manufacture manday.

[0026] The manufacture approach of the 1st semiconductor device of this invention establishes the process which forms the circuit pattern which consists of a metal layer on the principal plane which a semiconductor device has, and the

process which forms marking which consists of the same ingredient as this metal layer on a principal plane as indicated by claim 11.

[0027] Since according to this approach marking can be formed using the same ingredient as a circuit pattern even if it does not use facilities only for marking, such as an ink printing machine, facility cost and manufacture manday are reducible.

[0028] In the manufacture approach of the semiconductor device of claim 11, the process which forms a circuit pattern, and the process which forms marking can be simultaneously performed in succession as indicated by claim 12 or 13.

[0029] In the manufacture approach of the semiconductor device of claim 11, the external electrode terminal for outputting and inputting a signal to the exterior of a semiconductor device can be formed in some circuit patterns at the process which forms a circuit pattern as indicated by claim 14.

[0030] According to this approach, since it becomes unnecessary to form an external electrode terminal apart from a circuit pattern, a production process is simplified.

[0031] In the manufacture approach of the semiconductor device of claim 14, the process which forms the letter electrode of a projection further on an external electrode terminal can be established as indicated by claim 15.

[0032] According to this approach, since a semiconductor device and the exterior are electrically connectable through the letter electrode of a projection, a reliable semiconductor device can be manufactured.

[0033] On a principal plane, the manufacture approach of the 2nd semiconductor device of this invention is the manufacture approach of a wafer-like semiconductor device of having two or more chip fields, and establishes the process which forms the circuit pattern which consists of a metal layer on each chip field, and the process which forms marking to each chip field succeeding the process which forms a circuit pattern as indicated by claim 16.

[0034] Since according to this approach marking can be formed according to the process which followed circuit pattern formation to each chip which replaces with the process which prepares marking separately and a wafer-like semiconductor device has after a semiconductor device is completed, facility cost and manufacture manday are reducible.

[0035] The manufacture approach of the 3rd semiconductor device of this invention is the manufacture approach of a wafer-like semiconductor device of having two or more chip fields on a principal plane, and it establishes the process which forms marking in each chip field at the same time it forms the circuit

pattern which consists of a metal layer on each chip field, as indicated by claim 17.

[0036] According to this approach, after a semiconductor device is completed, it replaces with the process which prepares marking separately, and marking can be formed in circuit pattern formation and coincidence to each chip which a wafer-like semiconductor device has. Therefore, since facility cost and manufacture manday are reducible, a production process is simplified substantially.

[0037]

[Embodiment of the Invention] (1st operation gestalt) The semiconductor device concerning the 1st operation gestalt of this invention is explained with reference to drawing 1. Drawing 1 is the perspective view showing the semiconductor device concerning this operation gestalt. In drawing 1, a semiconductor chip 10 is a semiconductor device which has the low elastic-modulus layer 20 in the principal plane. The low modulus-of-elasticity layer 20 is an insulating layer for consisting of an ingredient which has a low modulus of elasticity and insulation, and covering parts other than the chip electrode in the principal plane of a semiconductor chip 10 which is not illustrated. A pad 30 is the electrode which has been arranged at opening which the low modulus-of-elasticity layer 20 has, and was connected to this chip electrode. The

metal wiring 31 is a pattern for being formed over the semiconductor chip 10 and low elastic-modulus layer 20 top, and connecting a pad 30 and a land 32. A land 32 is an external electrode terminal for being formed on the low modulus-of-elasticity layer 20, and outputting and inputting a signal to the exterior of a semiconductor chip 10. A pad 30, the metal wiring 31, and a land 32 consist of the same metal layer, and they constitute a circuit pattern 33 collectively. The metal ball 40 is the letter electrode of a projection formed in up to a land 32. Marking 60 is an indicator which is formed in the principal plane of a semiconductor chip 10, and consists of the same metal layer as a circuit pattern 33. This indicator aims at the thing of the alignment marks for carrying out alignment of this semiconductor device to the attribute of a semiconductor device, a circuit pattern number, and the alignment mark to this semiconductor device for which any one can be recognized from the outside after completion at least. The attributes of a semiconductor device are the goods number of for example, this semiconductor device, a lot number, etc.

[0038] According to this operation gestalt, a circuit pattern 33 and marking 60 are formed in the same field using the same ingredient. It replaces with marking formed in the semiconductor device after completion by the ink printing machine

only for marking etc. by this, and the semiconductor device which has the marking 60 formed by the equipment for forming a circuit pattern 33 can be obtained. Therefore, the facility cost and manufacture manday in manufacture of a semiconductor device are reducible.

[0039] (2nd operation gestalt) The semiconductor device concerning the 2nd operation gestalt of this invention is explained with reference to drawing 2 and drawing 3. In drawing 2 and drawing 3, to the same component as the 1st operation gestalt, the same sign as the sign in drawing 1 is attached, and the explanation is omitted. Drawing 2 is the perspective view showing the semiconductor device concerning this operation gestalt. In drawing 2, solder resist 50A is the protective layer formed so that it might have opening into the part of marking 60 and the land which is not illustrated and might cover except the part of this marking 60 and a land in the principal plane of a semiconductor chip 10.

[0040] The manufacture approach of the semiconductor device concerning this operation gestalt is explained with reference to drawing 3 (a) - (e). Drawing 3 (a) - (e) is process flow drawing showing the manufacture approach of the semiconductor device applied to this operation gestalt by the III-III line cross section of drawing 2.

[0041] First, as shown in drawing 3 (a),

the insulating material 21 which has photosensitivity is applied on the chip electrode 11 and the passivation film 12 which were formed in the principal plane of a semiconductor chip 10, respectively, and it dries.

[0042] Next, as shown in drawing 3 (b), exposure and development are performed one by one to the dried insulating material 21, and the low elastic-modulus layer 20 in which the part of the chip electrode 11 carried out opening is formed. In this case, it sets, for example, not parallel light but the scattered light is used by exposure, and to the chip electrode 11, it is not vertical, and the cross-section configuration of the low modulus-of-elasticity layer 20 in opening is made into the shape of a taper, and is formed. As an insulating material 21, what is necessary is just the polymer which has low elastic modulus, such as low elastic-modulus polyimide and epoxy, and insulation, for example.

[0043] Next, as shown in drawing 3 (c), after forming the metal thin film layer which consists of Ti/Cu by the vacuum deposition method, the sputtering method, the CVD method, or the nonelectrolytic plating method in the principal plane of a semiconductor chip 10, patterning is performed to this metal thin film layer. The predetermined circuit pattern 33 which consists of a pad 30, metal wiring 31, and a land 32 in the principal plane of a semiconductor chip

10 by this, and marking 60 are formed simultaneously. The circuit pattern 33 is decided in consideration of the number of pads 30, i.e., the number of pins, and the area of a semiconductor chip 10. Patterning is performed as follows. After applying a photosensitive resist on a metal thin film layer and stiffening resists other than the predetermined pattern section by exposure, the resist of this pattern section is removed. Electrolysis plating is used, the metal layer which has the large thickness which becomes said pattern section from Cu is formed, and a resist is fused and removed after that. A predetermined circuit pattern 33 and predetermined marking 60 are simultaneously formed by being immersed in an etching reagent after that and leaving the metal layer which melts a metal thin film layer and has large thickness.

[0044] In addition, a circuit pattern 33 and marking 60 may be simultaneously formed by making a metal membrane deposit all over a principal plane, applying a resist on it, forming the resist for etching masks on the predetermined pattern section using a photolithography technique, and etching a metal layer by using this resist as a mask.

[0045] Next, as shown in drawing 3 (d), after applying a photosensitive solder resist on the low modulus-of-elasticity layer 20, as a photolithography technique is used and only the part of a land 32 and

marking 60 is exposed, solder resist 50A is formed. The pad 30 which are parts other than land 32 among circuit patterns 33, and the metal wiring 31 are protected from the fused pewter by this solder resist 50A.

[0046] Next, as shown in drawing 3 (e), the metal ball 40 which consists of a pewter, copper by which pewter plating was carried out, respectively, nickel, etc. is laid on a land 32, and fused junction of the metal ball 40 and the land 32 is carried out. According to the above process, the semiconductor device concerning this operation gestalt can be obtained.

[0047] In addition, in explanation of this operation gestalt, although the insulating material 21 which has photosensitivity was applied in order to form the low elastic-modulus layer 20, not only this but the insulating material which was beforehand formed in the shape of a film and which has photosensitivity may be used. In this case, after sticking a film-like insulating material on a semiconductor chip 10, negatives are exposed and developed, and the chip electrode 11 of a semiconductor chip 10 is exposed.

[0048] Furthermore, an insulating material without photosensitivity can also be used. In this case, the chip electrode 11 of a semiconductor chip 10 is exposed by mechanical processing of laser, the plasma, etc., or chemical processing of

etching etc.

[0049] In addition, although the metal thin film layer was carried out and Ti/Cu was used, it may replace with this and Cr, W, Cu, nickel, etc. may be used.

[0050] The marking 60 which becomes this principal plane from the same metal layer is formed at the same time it forms the circuit pattern 33 which becomes the principal plane of a semiconductor chip 10 from a metal layer according to this operation gestalt, as explained above. By this, the facility only for marking like the ink printing machine which was being used conventionally or laser radiation equipment is not needed, but a circuit pattern 33 and marking 60 can be formed simultaneously. Therefore, the facility cost and manufacture manday in manufacture of a semiconductor device are reducible.

[0051] (3rd operation gestalt) The semiconductor device concerning the 3rd operation gestalt of this invention is explained with reference to drawing 4. Drawing 4 is the perspective view showing the semiconductor device concerning this operation gestalt. To the same component as the 1st operation gestalt, the same sign as the sign in drawing 1 R> 1 is attached, and the explanation is omitted. In drawing 4, solder resist 50B is the protective layer formed so that it might consist of transperence resin and might cover except the part of a land 32 in the

principal plane of a semiconductor chip 10.

[0052] According to this operation gestalt, a circuit pattern 33 and marking 60 are formed in the same field using the same ingredient. It replaces with marking formed in the semiconductor device by the ink printing machine only for marking etc. at the process after completion by this, and the semiconductor device which has the marking 60 formed by the equipment for forming a circuit pattern 33 can be obtained. Therefore, the facility cost and manufacture manday in manufacture of a semiconductor device are reducible. Furthermore, since a pad 30, the metal wiring 31, and marking 60 are protected by solder resist 50B which consists of transperence resin, it is reliable and the semiconductor device which can recognize marking easily can be obtained from the exterior.

[0053] (4th operation gestalt) The semiconductor device concerning the 4th operation gestalt of this invention is explained with reference to drawing 5. Drawing 5 is the perspective view showing the semiconductor device concerning this operation gestalt. In drawing 5, the low modulus-of-elasticity layer 20 is an insulating layer evenly formed as heaped up the center section in the principal plane of a semiconductor chip 10. A circuit pattern 33 is wiring which consisted of a metal layer formed

over the principal plane of a semiconductor chip 10, and the low modulus-of-elasticity layer 20 top, and was connected with the chip electrode 11 of a semiconductor chip 10. A land 32 is a part which exists on the low modulus-of-elasticity layer 20 of the circuit patterns 33, and is the part which is not covered with the solder resist which is not illustrated, i.e., the exposed part. Marking 60 is an indicator for recognizing from the outside the attribute of this semiconductor device that consists of a goods number, a lot number, etc., a circuit pattern number, an alignment mark, etc., after being formed in the principal plane of a semiconductor chip 10, consisting of the same ingredient as a circuit pattern 33 and completing a semiconductor device. A circuit pattern 33 and marking 60 are formed like the 1st operation gestalt. In addition, in this operation gestalt, since the circuit pattern 33 is not detailed, a circuit pattern 33 and marking 60 can be formed also by ink print processes.

[0054] According to this operation gestalt, in the semiconductor device with which the circuit pattern 33 was formed on the low modulus-of-elasticity layer 20 evenly formed as heaped up the center section, the marking 60 which becomes the principal plane of a semiconductor chip 10 from the same metal layer as this circuit pattern 33 is formed. It replaces with marking formed in the

semiconductor device after completion by the ink printing machine only for marking etc. by this, and the semiconductor device which has the marking 60 formed by the equipment for forming a circuit pattern 33 can be obtained. Therefore, the facility cost and manufacture manday in manufacture of a semiconductor device are reducible.

[0055] (5th operation gestalt) The semiconductor device concerning the 5th operation gestalt of this invention is explained with reference to drawing 6. Drawing 6 (a) and (b) are the top views showing the example of the semiconductor device applied to this operation gestalt, respectively. To the same component as the 4th operation gestalt, the same sign as the sign in drawing 5 is attached, and the explanation is omitted. In drawing 6 (a) and (b), the special lands 34A and 34B should be displayed in distinction from a land 32 in a semiconductor device, for example, are predetermined external electrode terminals which consist of a No. 1 pin. The special lands 34A and 34B are all some circuit patterns 33, and are formed from the same ingredient simultaneously with a land 32. Solder resist 50C is the protective coat by which opening was carried out to each land 32 so that the special lands 34A and 34B might be exposed, respectively in the center section of the principal plane of a semiconductor device.

[0056] Drawing 6 (a) shows the example for which a land 32 has a square, respectively and special land 34A has the configuration in which one of the top-most vertices which this square had was rounded off. In this case, in the photo mask for resist exposure used by patterning which forms a circuit pattern 33, special land 34A creates the pattern of this photo mask so that it may have the configuration in which one of the square top-most vertices was rounded off.

[0057] Each of lands 32 and special land 34B is squares, and, as for drawing 6 (b), special land 34B shows a larger example than a land 32. In this case, in the photo mask for resist exposure used by patterning which forms a circuit pattern 33, the pattern of this photo mask is created so that special land 34B may become larger than a land 32.

[0058] According to this operation gestalt, the special lands 34A and 34B are simultaneously formed from the same ingredient with a land 32, respectively on the low elastic-modulus layer 20 evenly formed as heaped up the center section. Since the special lands 34A and 34B have the configuration and magnitude which are different in a land 32, respectively, they can recognize easily the predetermined special land which consists for example, of a No. 1 pin after completion of a semiconductor device from the outside. It can form in circuit pattern formation and coincidence with

the configuration or magnitude of the special land itself, without using facilities only for [marking for recognizing a predetermined special land by this] marking, such as an ink printing machine. Therefore, the facility cost and manufacture manday in manufacture of a semiconductor device are reducible.

[0059] In addition, in the above explanation, although the configuration of a special land was made into the configuration in which one square top-most vertices were rounded off or the special land itself was enlarged, you may make it not only this but other configurations, and the special land itself may be made small.

[0060] (Other operation gestalten) The circuit pattern which forms marking and a circuit pattern in a principal plane collectively instead of each above operation gestalt to two or more semiconductor chips which one wafer has, or has a special land may be formed collectively. The manday which forms marking by this to two or more semiconductor chips which one wafer has is substantially reducible. In this case, a circuit pattern and marking may be formed using any of plating, photolithography, and ink printing.

[0061] In addition, in each operation gestalt explained above, you may form according to the continuous plating process which replaces with forming simultaneously the predetermined circuit

pattern 33 and predetermined marking 60 in a principal plane using the same ingredient, and uses a different metal.

[0062] Moreover, as for marking 60, it is desirable to have the magnitude of 0.2mm or more. In addition to the ability to recognize marking 60 with equipment from the exterior, by this, marking 60 can be easily recognized with the naked eye from the exterior after completion of a semiconductor device.

[0063] Moreover, as an attribute of the semiconductor device by which marking is carried out, the form of this semiconductor device, a trade name, an engine-performance rank, a manufacture name, a logotype, a trademark, the country of origin, the suiting specification are included other than a goods number and a lot number.

[0064] Moreover, especially the color of marking is not limited that the location in which marking is formed should just be the principal plane of a semiconductor device, either.

[0065]

[Effect of the Invention] Since the circuit pattern and marking which consist of respectively same ingredient were prepared on the principal plane of a semiconductor device according to invention of claims 1-8, the semiconductor device with which marking was formed in the same field as a circuit pattern is realized without needing the equipment and the process

only for marking. Therefore, the facility cost and manufacture manday in manufacture of a semiconductor device are reducible.

[0066] The structure of claims 1-8 is easily realizable by the approach of claims 11-15.

[0067] According to invention of claims 9 and 10, since a circuit pattern and marking were formed in each chip field on the principal plane in a wafer-like semiconductor device, the semiconductor device with which marking was formed in each chip field in the state of the wafer is realized, without needing the equipment and the process only for marking. Therefore, facility cost is reduced and manufacture manday can be reduced further substantially.

[0068] The structure of claims 9 and 10 is easily realizable by the approach of claims 16 and 17.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the perspective view showing the semiconductor device concerning the 1st operation gestalt of this invention.

[Drawing 2] It is the perspective view showing the semiconductor device concerning the 2nd operation gestalt of

this invention.

[Drawing 3] (a) - (e) is process flow drawing showing the manufacture approach of the semiconductor device of drawing 2 by the III-III line cross section of drawing 2.

[Drawing 4] It is the perspective view showing the semiconductor device concerning the 3rd operation gestalt of this invention.

[Drawing 5] It is the perspective view showing the semiconductor device concerning the 4th operation gestalt of this invention.

[Drawing 6] (a) and (b) are the top views showing the example of the semiconductor device applied to the 5th operation gestalt of this invention, respectively.

[Description of Notations]

10 Semiconductor Chip

11 Chip Electrode

12 Passivation Film

20 Low Elastic-Modulus Layer

21 Insulating Material

30 Pad

31 Metal Wiring

32 Land (External Electrode Terminal)

33 Circuit Pattern

34A, 34B Special land (external electrode terminal)

40 Metal Ball (Letter Electrode of Projection)

50A, 50C Solder resist (protective coat)

50B Solder resist (transparence resin layer)

60 Marking

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-191598

(43) 公開日 平成11年(1999) 7月13日

(51) Int.Cl.⁶

H 0 1 L 23/00

識別記号

F I

H 0 1 L 23/00

A

審査請求 未請求 請求項の数17 O L (全 8 頁)

(21) 出願番号 特願平9-359848

(22) 出願日 平成9年(1997)12月26日

特許法第64条第2項ただし書の規定により図面第1,
2, 4, 5図及び選択図の一部は不掲載とした。

(71) 出願人 000005843

松下電子工業株式会社
大阪府高槻市幸町1番1号

(72) 発明者 隈川 隆博

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72) 発明者 佐原 隆一

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72) 発明者 下石坂 望

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(74) 代理人 弁理士 前田 弘 (外2名)

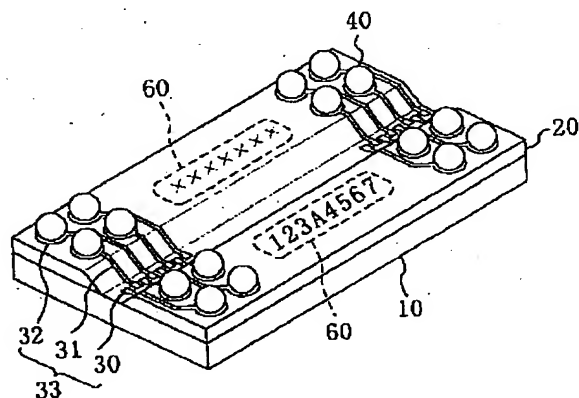
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 半導体装置にマーキングを形成する際の設備、工程数を削減する。

【解決手段】 半導体チップ10の主面に、チップ電極を露出させた開口部を有する低弾性率層20と、該チップ電極に接続されたパッド30と金属配線31と該金属配線31を介してパッド30に接続されたランド32とからなる配線パターン33と、ランド32の上へ形成された金属ボール40と、配線パターン33と同一の材料からなるマーキング60とを備える。配線パターン33を形成するための装置及び工程を使用してマーキング60を主面に形成できるので、設備、工程数を削減できる。



(2)

1

【特許請求の範囲】

【請求項1】 半導体チップと、
前記半導体チップの主面上に設けられ金属層からなる配線パターンと、
前記主面上に設けられ前記金属層と同一の材料からなり、完成後に外部から認識するためのマーキングとを備えたことを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、
前記マーキングは、前記半導体装置が各々有すべき、属性と配線パターン番号と該半導体装置に対する位置合わせマークと該半導体装置を位置合わせするための位置合わせマークとのうちの少なくともいずれか1つであることを特徴とする半導体装置。

【請求項3】 請求項1又は2記載の半導体装置において、
前記マーキングの構成要素は各々0.2mm以上の大きさを有することを特徴とする半導体装置。

【請求項4】 請求項1～3のいずれか1つに記載の半導体装置において、
前記配線パターンの一部が前記半導体装置の外部に対して信号を入出力するための外部電極端子として機能することを特徴とする半導体装置。

【請求項5】 請求項4記載の半導体装置において、
前記外部電極端子上に突起状電極を更に備えたことを特徴とする半導体装置。

【請求項6】 請求項4又は5に記載の半導体装置において、
前記主面上に前記外部電極端子と前記マーキングとからなる部分以外を覆うようにして形成され、絶縁性物質からなる保護膜を更に備えたことを特徴とする半導体装置。

【請求項7】 請求項4又は5に記載の半導体装置において、
前記主面上に前記外部電極端子の部分以外を覆うようにして形成され、絶縁性物質からなる透明樹脂層を更に備えたことを特徴とする半導体装置。

【請求項8】 請求項4又は5に記載の半導体装置において、
前記外部電極端子のうち、所定の外部電極端子が他の外部電極端子とは異なる形状又は大きさを有することを特徴とする半導体装置。

【請求項9】 主面上に複数個のチップ領域を有するウェハ状の半導体装置であって、
前記各チップ領域に設けられ金属層からなる配線パターンと、
前記各チップ領域に設けられ、0.2mm以上の大きさを有し、完成後に外部から認識するためのマーキングとを備えたことを特徴とする半導体装置。

【請求項10】 請求項9記載の半導体装置において、
前記マーキングは前記金属層と同一の材料からなること

2

を特徴とする半導体装置。

【請求項11】 半導体装置の製造方法であって、
前記半導体装置が有する主面上に金属層からなる配線パターンを形成する工程と、
前記主面上に前記金属層と同一の材料からなるマーキングを形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項12】 請求項11記載の半導体装置の製造方法において、
前記配線パターンを形成する工程と前記マーキングを形成する工程とを連続して実行することを特徴とする半導体装置の製造方法。

【請求項13】 請求項11記載の半導体装置の製造方法において、
前記配線パターンを形成する工程と前記マーキングを形成する工程とを同時に実行することを特徴とする半導体装置の製造方法。

【請求項14】 請求項11記載の半導体装置の製造方法において、
前記配線パターンを形成する工程では、該配線パターンの一部に前記半導体装置の外部に対して信号を入出力するための外部電極端子を形成することを特徴とする半導体装置の製造方法。

【請求項15】 請求項14記載の半導体装置の製造方法において、
前記外部電極端子上に突起状電極を形成する工程を更に備えたことを特徴とする半導体装置の製造方法。

【請求項16】 主面上に複数個のチップ領域を有するウェハ状の半導体装置の製造方法であって、
前記各チップ領域の上に金属層からなる配線パターンを形成する工程と、
前記配線パターンを形成する工程に連続して、前記各チップ領域にマーキングを形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項17】 主面上に複数個のチップ領域を有するウェハ状の半導体装置の製造方法であって、
前記各チップ領域の上に金属層からなる配線パターンを形成すると同時に、前記各チップ領域にマーキングを形成する工程を備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マーキングを有する半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】半導体装置が完成した後に商品番号、ロット番号等を外部から認識するために、該半導体装置にはマーキングが形成される。従来、ウェハ上にトランジスタ等の素子を内蔵する半導体デバイスを形成して半導体チップに分割し、該分割された半導体チップ上に配線

50

(3)

3

パターンを形成した後に、インク印刷法、又はレーザー照射法を使用してマーキングを形成していた。

【0003】

【発明が解決しようとする課題】しかしながら、上記従来のマーキングによれば、半導体装置が完成した後に、半導体装置のそれぞれに対してインク印刷やレーザー照射を実行するマーキング専用の工程を必要とするので、製造工数が増大するという問題があった。また、インク印刷機やレーザー照射装置のようなマーキング専用の設備を必要とするので、設備コストが増大した。

【0004】本発明は、上記従来の問題に鑑み、マーキング専用の工程や装置を必要とせずに、マーキングが形成された半導体装置及びその製造方法を提供することを目的とする。

【0005】

【課題を解決するための手段】上記の目的を達成するために、本発明では、請求項1～10に記載された半導体装置に関する手段と、請求項11～17に記載された半導体装置の製造方法に関する手段とを講じている。

【0006】本発明の第1の半導体装置は、請求項1に記載されているように、半導体チップが有する主面上に設けられた金属層からなる配線パターンと、主面上に設けられ該金属層と同一の材料からなり、完成後に外部から認識するためのマーキングとを備えている。

【0007】これにより、マーキングが配線パターンと同一の材料から構成されているので、インク印刷機等のマーキング専用の設備を使用しなくても、マーキングを有する半導体装置が得られる。したがって、設備コストと製造工数とを削減できる。

【0008】請求項2に記載されているように、請求項1の半導体装置において、マーキングは、半導体装置が各々有すべき、属性と配線パターン番号と該半導体装置に対する位置合わせマークと該半導体装置を位置合わせするための位置合わせマークとのうちの少なくともいずれか1つである構成を更に備えることができる。

【0009】これにより、ユーザの要求に応じた品種等の表示が可能になる。

【0010】請求項3に記載されているように、請求項1又は2の半導体装置において、マーキングの構成要素を各々0.2mm以上の大きさにすることができる。

【0011】これにより、完成後に肉眼で容易にマーキングを認識できる。

【0012】請求項4に記載されているように、請求項1～3のいずれか1つの半導体装置において、配線パターンの一部が半導体装置の外部に対して信号を入出力するための外部電極端子として機能する構成を更に備えることができる。

【0013】これにより、配線パターンとは別に外部電極端子を形成する必要がなくなるので、半導体装置の製造工数を更に削減できる。

4

【0014】請求項5に記載されているように、請求項4の半導体装置において、外部電極端子上に突起状電極を更に備えることができる。

【0015】これにより、半導体装置と外部との間で、突起状電極を介して一層確実に信号を入出力できる。

【0016】請求項6に記載されているように、請求項4又は5の半導体装置において、主面上に外部電極端子とマーキングとからなる部分以外を覆うようにして形成され、絶縁性物質からなる保護膜を更に備えることができる。

【0017】これにより、主面上で外部との信号の入出力に関係する部分以外の配線パターンが保護膜によって保護され、マーキングが容易に認識されるので、信頼性とマーキングの認識機能とが高い半導体装置が得られる。

【0018】請求項7に記載されているように、請求項4又は5の半導体装置において、主面上に外部電極端子の部分以外を覆うようにして形成され、絶縁性物質からなる透明樹脂層を更に備えることができる。

【0019】これにより、主面上で外部との信号の入出力に無関係な部分が透明樹脂層によって保護され、該透明樹脂層を通してマーキングが容易に認識されるので、信頼性とマーキングの認識機能とが高い半導体装置が得られる。

【0020】請求項8に記載されているように、請求項4又は5の半導体装置において、配線パターンの一部からなる外部電極端子のうち、所定の外部電極端子が他の外部電極端子とは異なる形状又は大きさを有することができる。

【0021】これにより、所定の外部電極端子が認識され、該所定の外部電極端子を表すためのマーキングを別に形成する必要がなくなるので、半導体装置の製造工数を更に削減できる。

【0022】本発明の第2の半導体装置は、請求項9に記載されているように、主面上に複数個のチップ領域を有するウェハ状の半導体装置であって、各チップ領域に設けられ金属層からなる配線パターンと、各チップ領域に設けられ、0.2mm以上の大きさを有し、完成後に外部から認識するためのマーキングとを備えている。

【0023】これにより、チップに分割される前のウェハ状の半導体装置において、各チップにすでに肉眼で識別できるマーキングが形成されているので、製造工数の削減によって、安価な半導体装置を得られる。

【0024】請求項10に記載されているように、請求項9の半導体装置において、金属層と同一の材料によってマーキングを構成することができる。

【0025】これにより、チップに分割される前のウェハ状の半導体装置において、マーキングが配線パターンと同一の材料から構成されているので、インク印刷機等のマーキング専用の設備を使用しなくても、各々マーキ

(4)

5

ングを有するチップからなる半導体装置が得られる。したがって、半導体装置の製造において、設備コストと製造工数との削減によって、安価な半導体装置を得られる。

【0026】本発明の第1の半導体装置の製造方法は、請求項11に記載されているように、半導体装置が有する主面上に金属層からなる配線パターンを形成する工程と、主面上に該金属層と同一の材料からなるマーキングを形成する工程とを設けたものである。

【0027】この方法によれば、インク印刷機等のマーキング専用の設備を使用しなくても、配線パターンと同一の材料を使用してマーキングを形成できるので、設備コストと製造工数とを削減できる。

【0028】請求項12又は13に記載されているように、請求項11の半導体装置の製造方法において、配線パターンを形成する工程とマーキングを形成する工程とを、連続して又は同時に実行することができる。

【0029】請求項14に記載されているように、請求項11の半導体装置の製造方法において、配線パターンを形成する工程では、配線パターンの一部に半導体装置の外部に対して信号を入出力するための外部電極端子を形成することができる。

【0030】この方法によれば、配線パターンとは別に外部電極端子を形成する必要がなくなるので、製造工程が簡素化される。

【0031】請求項15に記載されているように、請求項14の半導体装置の製造方法において、外部電極端子上に突起状電極を更に形成する工程を設けることができる。

【0032】この方法によれば、突起状電極を介して電気的に半導体装置と外部とを接続できるので、信頼性の高い半導体装置を製造できる。

【0033】本発明の第2の半導体装置の製造方法は、請求項16に記載されているように、主面上に複数のチップ領域を有するウェハ状の半導体装置の製造方法であって、各チップ領域の上に金属層からなる配線パターンを形成する工程と、配線パターンを形成する工程に連続して、各チップ領域にマーキングを形成する工程とを設けたものである。

【0034】この方法によれば、半導体装置が完成した後に別途マーキングを設ける工程に代えて、ウェハ状の半導体装置が有する各チップに対して、配線パターン形成に連続した工程によってマーキングを形成できるので、設備コストと製造工数とを削減できる。

【0035】本発明の第3の半導体装置の製造方法は、請求項17に記載されているように、主面上に複数のチップ領域を有するウェハ状の半導体装置の製造方法であって、各チップ領域の上に金属層からなる配線パターンを形成すると同時に、各チップ領域にマーキングを形成する工程を設けたものである。

6

【0036】この方法によれば、半導体装置が完成した後に別途マーキングを設ける工程に代えて、ウェハ状の半導体装置が有する各チップに対して配線パターン形成と同時にマーキングを形成できる。したがって、設備コストと製造工数とを削減できるので、製造工程が大幅に簡素化される。

【0037】

【発明の実施の形態】（第1の実施形態）本発明の第1の実施形態に係る半導体装置について、図1を参照して説明する。図1は、本実施形態に係る半導体装置を示す斜視図である。図1において、半導体チップ10はその主面に低弾性率層20を有する半導体素子である。低弾性率層20は、低弾性率と絶縁性とを有する材料からなり、半導体チップ10の主面における図示されていないチップ電極以外の部分を被覆するための絶縁層である。パッド30は、低弾性率層20が有する開口部に配置され、該チップ電極に接続された電極である。金属配線31は、半導体チップ10と低弾性率層20との上にわたって形成され、パッド30とランド32とを接続するためのパターンである。ランド32は、低弾性率層20の上に形成され、半導体チップ10の外部に対して信号を入出力するための外部電極端子である。パッド30と金属配線31とランド32とは同一の金属層からなり、併せて配線パターン33を構成する。金属ボール40は、ランド32の上へ形成された突起状電極である。マーキング60は、半導体チップ10の主面に形成され、配線パターン33と同一の金属層からなる標識である。該標識は、半導体装置の属性と配線パターン番号と該半導体装置に対する位置合わせマークと該半導体装置を位置合わせするための位置合わせマークとのうちの少なくともいずれか1つを、完成後に外部から認識できることを目的とする。半導体装置の属性とは、例えば、該半導体装置の商品番号、ロット番号等である。

【0038】本実施形態によれば、配線パターン33とマーキング60とが、同一の材料を使用して同一の面に形成される。このことによって、完成後の半導体装置にマーキング専用のインク印刷機等によって形成されたマーキングに代えて、配線パターン33を形成するための装置によって形成されたマーキング60を有する半導体装置を得られる。したがって、半導体装置の製造における設備コストと製造工数とを削減できる。

【0039】（第2の実施形態）本発明の第2の実施形態に係る半導体装置について、図2と図3とを参照して説明する。図2と図3とにおいて、第1の実施形態と同一の構成要素に対しては図1における符号と同一の符号を付して、その説明を省略する。図2は、本実施形態に係る半導体装置を示す斜視図である。図2において、ソルダーレジスト50Aは、半導体チップ10の主面において、マーキング60と図示されていないランドとの部分に開口部を有し、該マーキング60とランドとの部分

(5)

7

以外を覆うように形成された保護層である。

【0040】本実施形態に係る半導体装置の製造方法を、図3(a)～(e)を参照して説明する。図3

(a)～(e)は、図2のIII-III線断面によって本実施形態に係る半導体装置の製造方法を示す工程フロー図である。

【0041】まず、図3(a)に示すように、半導体チップ10の主面にそれぞれ形成されたチップ電極11とパッシベーション膜12との上に、感光性を有する絶縁材料21を塗布して乾燥する。

【0042】次に、図3(b)に示すように、乾燥された絶縁材料21に対して露光と現像とを順次行って、チップ電極11の部分が開口した低弾性率層20を形成する。この場合において、例えば露光で平行光ではなく散乱光を使用して、開口部における低弾性率層20の断面形状を、チップ電極11に対して垂直ではなくテーパ形状にして形成する。絶縁材料21としては、例えば低弾性率ポリイミド、エポキシ等のような低弾性率と絶縁性とを有するポリマーであればよい。

【0043】次に、図3(c)に示すように、半導体チップ10の主面において、真空蒸着法、スパッタリング法、CVD法又は無電解めっき法によって例えばTi/Cuからなる金属薄膜層を形成した後に、該金属薄膜層に対してパターンニングを行う。このことによって、半導体チップ10の主面において、パッド30と金属配線31とランド32とからなる所定の配線パターン33と、マーキング60とを同時に形成する。配線パターン33は、パッド30の数、つまりピン数と半導体チップ10の面積とを考慮して決められている。パターンニングは、以下のようにして行う。金属薄膜層の上に感光性レジストを塗布して、露光によって所定のパターン部以外のレジストを硬化させた後に、該パターン部のレジストを除去する。電解めっきを使用して、前記パターン部に例えばCuからなる大きい膜厚を有する金属層を形成し、その後、レジストを溶融して除去する。その後にエッチング液に浸漬して、金属薄膜層を溶かし、かつ大きい膜厚を有する金属層を残すことによって、所定の配線パターン33とマーキング60とを同時に形成する。

【0044】なお、主面の全面に金属膜を堆積させ、その上にレジストを塗布し、フォトリソグラフィ技術を使用して所定のパターン部の上にエッチングマスク用レジストを形成し、このレジストをマスクとして金属層をエッチングすることにより、配線パターン33とマーキング60とを同時に形成してもよい。

【0045】次に、図3(d)に示すように、低弾性率層20の上に感光性ソルダーレジストを塗布した後に、フォトリソグラフィ技術を使用して、ランド32とマーキング60との部分のみが露出するようにしてソルダーレジスト50Aを形成する。該ソルダーレジスト50Aによって、配線パターン33のうちランド32以外の

8

部分であるパッド30と金属配線31とが、溶融したハンダから保護される。

【0046】次に、図3(e)に示すように、ハンダ、それぞれハンダめっきされた銅、ニッケル等からなる金属ボール40をランド32の上に載置して、金属ボール40とランド32とを溶融接合する。以上の工程によって、本実施形態に係る半導体装置を得ることができる。

【0047】なお、本実施形態の説明においては、低弾性率層20を形成するために、感光性を有する絶縁材料21を塗布したが、これに限らず、予めフィルム状に形成された、感光性を有する絶縁材料を使用してもよい。この場合には、フィルム状の絶縁材料を半導体チップ10の上に貼り合わせた後に露光、現像して、半導体チップ10のチップ電極11を露出させる。

【0048】更に、感光性のない絶縁材料も使用できる。この場合には、レーザーやプラズマ等の機械的加工、又はエッチング等の化学的加工によって、半導体チップ10のチップ電極11を露出させる。

【0049】なお、金属薄膜層としてTi/Cuを使用したが、これに代えてCr、W、Cu、Ni等を使用してもよい。

【0050】以上説明したように、本実施形態によれば、半導体チップ10の主面に金属層からなる配線パターン33を形成すると同時に、該主面に同一の金属層からなるマーキング60を形成する。このことによって、従来使用していたインク印刷機やレーザー照射装置のようなマーキング専用の設備を必要とせず、配線パターン33とマーキング60とを同時に形成できる。したがって、半導体装置の製造における設備コストと製造工数とを削減できる。

【0051】(第3の実施形態) 本発明の第3の実施形態に係る半導体装置について、図4を参照して説明する。図4は、本実施形態に係る半導体装置を示す斜視図である。第1の実施形態と同一の構成要素に対しては図1における符号と同一の符号を付して、その説明を省略する。図4において、ソルダーレジスト50Bは、透明樹脂からなり、半導体チップ10の主面においてランド32の部分以外を覆うように形成された保護層である。

【0052】本実施形態によれば、配線パターン33とマーキング60とが、同一の材料を使用して同一の面に形成される。このことによって、完成後の工程で半導体装置にマーキング専用のインク印刷機等によって形成されたマーキングに代えて、配線パターン33を形成するための装置によって形成されたマーキング60を有する半導体装置を得られる。したがって、半導体装置の製造における設備コストと製造工数とを削減できる。更に、透明樹脂からなるソルダーレジスト50Bによってパッド30と金属配線31とマーキング60とを保護するので、信頼性が高く、外部からマーキングを容易に認識できる半導体装置を得られる。

9

【0053】（第4の実施形態）本発明の第4の実施形態に係る半導体装置について、図5を参照して説明する。図5は、本実施形態に係る半導体装置を示す斜視図である。図5において、低弾性率層20は、半導体チップ10の主面において、中央部を盛り上げるようにして平坦に形成された絶縁層である。配線パターン33は、半導体チップ10の主面と低弾性率層20の上とにわたって形成された金属層からなり、半導体チップ10のチップ電極11と接続された配線である。ランド32は、配線パターン33のうちの低弾性率層20の上に存在する部分であって、図示されていないソルダーレジストによって覆われていない部分、すなわち露出している部分である。マーキング60は、半導体チップ10の主面に形成され、配線パターン33と同一の材料からなり、半導体装置が完成した後に商品番号、ロット番号等からなる該半導体装置の属性、配線パターン番号、位置合わせマーク等を外部から認識するための標識である。配線パターン33とマーキング60とは、第1の実施形態と同様にして形成される。なお、本実施形態においては、配線パターン33が微細ではないので、配線パターン33とマーキング60とをインク印刷法によっても形成できる。

【0054】本実施形態によれば、中央部を盛り上げるようにして平坦に形成された低弾性率層20の上に配線パターン33が形成された半導体装置において、半導体チップ10の主面に該配線パターン33と同一の金属層からなるマーキング60が形成される。このことによって、完成後の半導体装置にマーキング専用のインク印刷機等によって形成されたマーキングに代えて、配線パターン33を形成するための装置によって形成されたマーキング60を有する半導体装置を得られる。したがって、半導体装置の製造における設備コストと製造工数とを削減できる。

【0055】（第5の実施形態）本発明の第5の実施形態に係る半導体装置について、図6を参照して説明する。図6（a）、（b）は、それぞれ本実施形態に係る半導体装置の例を示す平面図である。第4の実施形態と同一の構成要素に対しては図5における符号と同一の符号を付して、その説明を省略する。図6（a）、（b）において、特殊ランド34A、34Bは、半導体装置においてランド32と区別して表示されるべき、例えば1番ピンからなる所定の外部電極端子である。特殊ランド34A、34Bは、いずれも配線パターン33の一部であって、ランド32と同時に同一の材料から形成される。ソルダーレジスト50Cは、半導体装置の主面の中央部において、各ランド32と、それぞれ特殊ランド34A、34Bとを露出させるように開口された保護膜である。

【0056】図6（a）は、それぞれランド32が正方形を有し、特殊ランド34Aが、該正方形が有していた

(6)

10

頂点の1つが丸められた形状を有する例を示す。この場合には、配線パターン33を形成するパターンニングで用いられるレジスト露光用のフォトマスクにおいて、特殊ランド34Aが、正方形の頂点の1つが丸められた形状を有するように、該フォトマスクのパターンを作成する。

【0057】図6（b）は、ランド32と特殊ランド34Bとがいずれも正方形であって、特殊ランド34Bがランド32よりも大きい例を示す。この場合には、配線パターン33を形成するパターンニングで用いられるレジスト露光用のフォトマスクにおいて、特殊ランド34Bがランド32よりも大きくなるように、該フォトマスクのパターンを作成する。

【0058】本実施形態によれば、中央部を盛り上げるようにして平坦に形成された低弾性率層20の上に、ランド32とそれぞれ特殊ランド34A、34Bとを、同時に同一の材料から形成する。特殊ランド34A、34Bは、それぞれランド32とは異なる形状と大きさを有するので、半導体装置の完成後に、例えば1番ピンからなる所定の特殊ランドを外部から容易に認識できる。このことによって、所定の特殊ランドを認識するためのマーキングを、特殊ランド自体の形状又は大きさによって、インク印刷機等のマーキング専用の設備を使用せずに配線パターン形成と同時に形成できる。したがって、半導体装置の製造における設備コストと製造工数とを削減できる。

【0059】なお、以上の説明においては、特殊ランドの形状を正方形の1頂点が丸められた形状にし、又は特殊ランド自体を大きくしたが、これに限らず他の形状にしてもよいし、特殊ランド自体を小さくしてもよい。

【0060】（その他の実施形態）以上の各実施形態の代わりに、1枚のウェハが有する複数の半導体チップに対して、主面にマーキングと配線パターンとを一括して形成し、又は特殊ランドを有する配線パターンを一括して形成してもよい。このことによって、1枚のウェハが有する複数の半導体チップに対してマーキングを形成する工数を大幅に削減できる。この場合においては、配線パターンとマーキングとを、めっき、フォトリソグラフィ、インク印刷のいずれを使用して形成してもよい。

【0061】なお、以上説明した各実施形態において、主面における所定の配線パターン33とマーキング60とを、同一の材料を使用して同時に形成することに代えて、異なる金属を使用する連続しためっき工程によって形成してもよい。

【0062】また、マーキング60は、0.2mm以上の大きさを有することが好ましい。このことによって、半導体装置の完成後に、外部から装置によってマーキング60を認識できるに加えて、外部から肉眼でマーキング60を容易に認識できる。

【0063】また、マーキングされる半導体装置の属性

50

(7)

11

としては、商品番号、ロット番号の他に、該半導体装置の品種、商品名、性能ランク、メーカー名、ロゴタイプ、商標、生産国名、適合する規格等が含まれる。

【0064】また、マーキングが形成される場所は半導体装置の主面であればよく、マーキングの色も特に限定されない。

【0065】

【発明の効果】請求項1～8の発明によれば、半導体装置の主面上にそれぞれ同一の材料からなる配線パターンとマーキングとを設けたので、マーキング専用の装置及び工程を必要とせずに、配線パターンと同一の面にマーキングが形成された半導体装置が実現される。したがって、半導体装置の製造における設備コストと製造工数とを削減できる。

【0066】請求項1～8の構造は、請求項11～15の方法によって容易に実現できる。

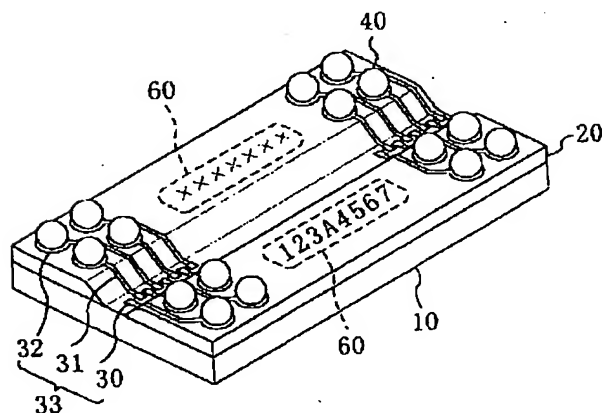
【0067】請求項9、10の発明によれば、ウェハ状の半導体装置における主面上の各チップ領域に、配線パターンとマーキングとを形成するようにしたので、マーキング専用の装置及び工程を必要とせずに、ウェハの状態
20 各チップ領域にマーキングが形成された半導体装置が実現される。したがって、設備コストを削減し、更に製造工数を大幅に削減できる。

【0068】請求項9、10の構造は、請求項16、17の方法によって容易に実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る半導体装置を示

【図1】



12

す斜視図である。

【図2】本発明の第2の実施形態に係る半導体装置を示す斜視図である。

【図3】(a)～(e)は、図2のIII-III線断面によって図2の半導体装置の製造方法を示す工程フロー図である。

【図4】本発明の第3の実施形態に係る半導体装置を示す斜視図である。

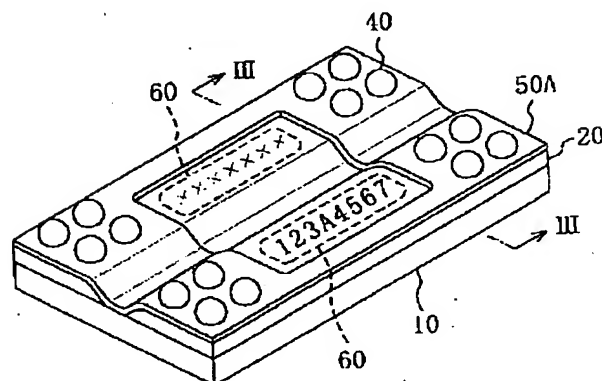
【図5】本発明の第4の実施形態に係る半導体装置を示す斜視図である。

【図6】(a), (b)は、それぞれ本発明の第5の実施形態に係る半導体装置の例を示す平面図である。

【符号の説明】

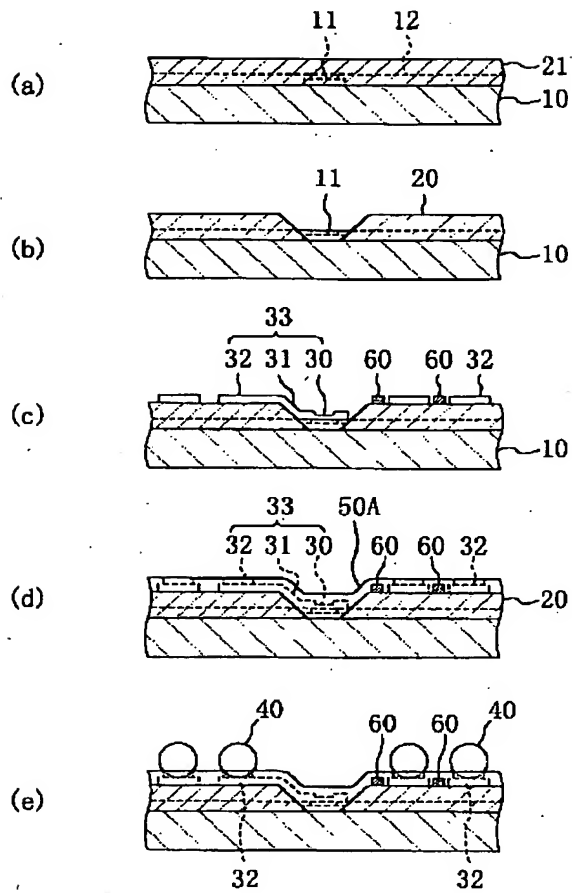
- 10 半導体チップ
- 11 チップ電極
- 12 パッシベーション膜
- 20 低弾性率層
- 21 絶縁材料
- 30 パッド
- 31 金属配線
- 32 ランド (外部電極端子)
- 33 配線パターン
- 34 A, 34 B 特殊ランド (外部電極端子)
- 40 金属ボール (突起状電極)
- 50 A, 50 C ソルダレジスト (保護膜)
- 50 B ソルダレジスト (透明樹脂層)
- 60 マーキング

【図2】

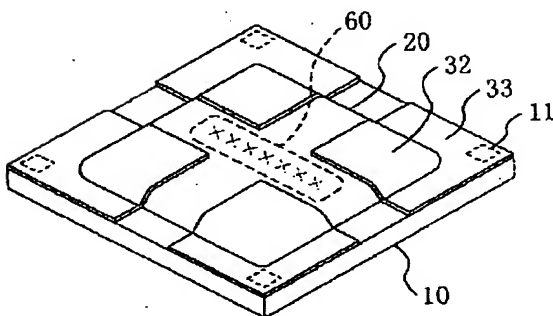


(8)

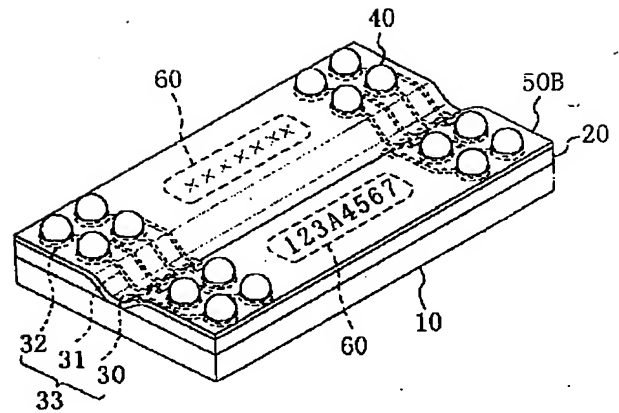
【図3】



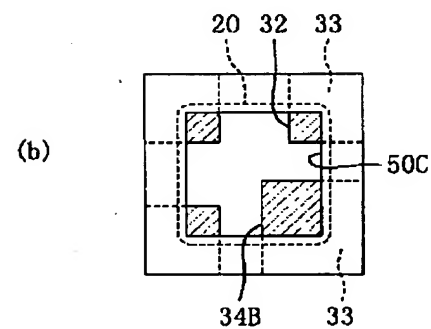
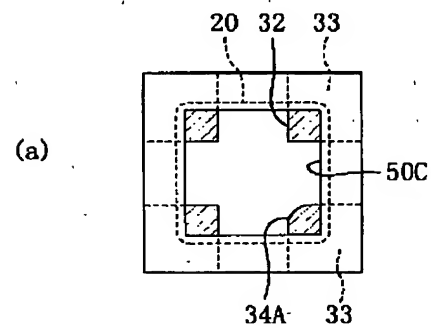
【図5】



【図4】



【図6】



フロントページの続き

(72)発明者 中村 嘉文
 大阪府高槻市幸町1番1号 松下電子工業
 株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.